

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS



PCT

INTERNATIONALER VORLÄUFIGER BERICHT ÜBER DIE PATENTIERBARKEIT

REC'D 26 OCT 2005

WIEG. DIE PCT

(Kapitel II des Vertrags über die internationale Zusammenarbeit auf dem Gebiet des Patentwesens)

Aktenzeichen des Anmelders oder Anwalts 13225 Ho/mk	WEITERES VORGEHEN siehe Formblatt PCT/IPEA416	
Internationales Aktenzeichen PCT/DE2004/001588	Internationales Anmeldedatum (Tag/Monat/Jahr) 21.07.2004	Prioritätsdatum (Tag/Monat/Jahr) 23.07.2003
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L21/28, H01L21/336, H01L21/8246, H01L29/792, H01L27/115, H01L51/30		
Anmelder INFINEON TECHNOLOGIES AG et al.		
<p>1. Bei diesem Bericht handelt es sich um den internationalen vorläufigen Prüfungsbericht, der von der mit der internationalen vorläufigen Prüfung beauftragten Behörde nach Artikel 35 erstellt wurde und dem Anmelder gemäß Artikel 36 übermittelt wird.</p> <p>2. Dieser BERICHT umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.</p> <p>3. Außerdem liegen dem Bericht ANLAGEN bei; diese umfassen</p> <p>a. <input checked="" type="checkbox"/> (an den Anmelder und das Internationale Büro gesandt) insgesamt 6 Blätter; dabei handelt es sich um</p> <p><input checked="" type="checkbox"/> Blätter mit der Beschreibung, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit Berichtigungen, denen die Behörde zugestimmt hat (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsvorschriften).</p> <p><input type="checkbox"/> Blätter, die frühere Blätter ersetzen, die aber aus den in Feld Nr. 1, Punkt 4 und im Zusatzfeld angegebenen Gründen nach Auffassung der Behörde eine Änderung enthalten, die über den Offenbarungsgehalt der internationalen Anmeldung in der ursprünglich eingereichten Fassung hinausgeht.</p> <p>b. <input type="checkbox"/> (nur an das Internationale Büro gesandt) insgesamt (bitte Art und Anzahl der/des elektronischen Datenträger(s) angeben), der/die ein Sequenzprotokoll und/oder die dazugehörigen Tabellen enthält/enhalten, nur in computerlesbarer Form, wie im Zusatzfeld betreffend das Sequenzprotokoll angegeben (siehe Abschnitt 802 der Verwaltungsvorschriften).</p>		
<p>4. Dieser Bericht enthält Angaben zu folgenden Punkten:</p> <p><input checked="" type="checkbox"/> Feld Nr. I Grundlage des Bescheids</p> <p><input type="checkbox"/> Feld Nr. II Priorität</p> <p><input type="checkbox"/> Feld Nr. III Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit</p> <p><input type="checkbox"/> Feld Nr. IV Mangelnde Einheitslichkeit der Erfindung</p> <p><input checked="" type="checkbox"/> Feld Nr. V Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung</p> <p><input type="checkbox"/> Feld Nr. VI Bestimmte angeführte Unterlagen</p> <p><input type="checkbox"/> Feld Nr. VII Bestimmte Mängel der internationalen Anmeldung</p> <p><input type="checkbox"/> Feld Nr. VIII Bestimmte Bemerkungen zur internationalen Anmeldung</p>		
Datum der Einreichung des Antrags 13.04.2005	Datum der Fertigstellung dieses Berichts 25.10.2005	
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Neumann, A Tel. +49 89 2399-6924 	

Feld Nr. I Grundlage des Berichts

1. Hinsichtlich der **Sprache** beruht der Bericht auf der internationalen Anmeldung in der Sprache, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.
- ☐ Der Bericht beruht auf einer Übersetzung aus der Originalsprache in die folgende Sprache, bei der es sich um die Sprache der Übersetzung handelt, die für folgenden Zweck eingereicht worden ist:
- ☐ internationale Recherche (nach Regeln 12.3 und 23.1 b))
 - ☐ Veröffentlichung der internationalen Anmeldung (nach Regel 12.4)
 - ☐ internationale vorläufige Prüfung (nach Regeln 55.2 und/oder 55.3)
2. Hinsichtlich der **Bestandteile*** der internationalen Anmeldung beruht der Bericht auf *(Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt)*:

Beschreibung, Seiten

1-20 in der ursprünglich eingereichten Fassung

Ansprüche, Nr.

1-22 eingegangen am 13.05.2005 mit Schreiben vom 13.05.2005

Zeichnungen, Blätter

1/5-5/5 in der ursprünglich eingereichten Fassung

☐ einem Sequenzprotokoll und/oder etwaigen dazugehörigen Tabellen - siehe Zusatzfeld betreffend das Sequenzprotokoll

3. ☐ Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung: Seite
- ☐ Ansprüche: Nr.
- ☐ Zeichnungen: Blatt/Abb.
- ☐ Sequenzprotokoll (*genaue Angaben*):
- ☐ etwaige zum Sequenzprotokoll gehörende Tabellen (*genaue Angaben*):

4. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der diesem Bericht beigelegten und nachstehend aufgelisteten Änderungen erstellt worden, da diese aus den im Zusatzfeld angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2 c)).

- ☐ Beschreibung: Seite
- ☐ Ansprüche: Nr.
- ☐ Zeichnungen: Blatt/Abb.
- ☐ Sequenzprotokoll (*genaue Angaben*):
- ☐ etwaige zum Sequenzprotokoll gehörende Tabellen (*genaue Angaben*):

* Wenn Punkt 4 zutrifft, können einige oder alle dieser Blätter mit der Bemerkung "ersetzt" versehen werden.

INTERNATIONALER VORLÄUFIGER BERICHT ÜBER DIE PATENTIERBARKEIT

Internationales Aktenzeichen
PCT/DE2004/001588

Feld Nr. V Begründete Feststellung nach Artikel 35 (2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung
- | | |
|--------------------------------|----------------------|
| Neuheit (N) | Ja: Ansprüche 1-22 |
| | Nein: Ansprüche |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche |
| | Nein: Ansprüche 1-22 |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche: 1-22 |
| | Nein: Ansprüche: |

2. Unterlagen und Erklärungen (Regel 70.7):

siehe Beiblatt

Zu Punkt V

1. Es wird auf die folgenden Dokumente verwiesen:
 - D1: US-A-6 051 467 (CHA CHER LIANG ET AL) 18. April 2000 (2000-04-18)
 - D2: JUNG DAL CHOI ET AL: "A triple polysilicon stacked flash memory cell with wordline self-boosting programming" ELECTRON DEVICES MEETING, 1997. TECHNICAL DIGEST., INTERNATIONAL WASHINGTON, DC, USA 7-10 DEC. 1997, NEW YORK, NY, USA, IEEE, US, 7. Dezember 1997 (1997-12-07), Seiten 283-286, XP010265507 ISBN: 0-7803-4100-7
 - D3: US 2003/111670 A1 (KUHR WERNER G ET AL) 19. Juni 2003 (2003-06-19)
 - D4: US 2002/015322 A1 (CLOUD EUGENE H ET AL) 7. Februar 2002 (2002-02-07)
 - D5: US-A-5 981 335 (CHI MIN-HWA) 9. November 1999 (1999-11-09)
2. Die Anmeldung erfüllt nicht die Erfordernisse der Artikel 33(1) und 33(3) PCT (erfinderische Tätigkeit).
- 2.1 D1 (cf. Spalte 1, Zeile 57 - Spalte 4, Zeile 57; Abb. 1-11) wird als nächstliegender Stand der Technik angesehen und offenbart ein Verfahren zur Herstellung einer Halbleiterstrukturen aufweisenden Speichereinrichtung mit Speicherzellen mit den Schritten:
 - a) Herstellung eines Transistors mit Source/Drain-Bereichen (26) und einem Gate-Dielektrikum (16) über dem Kanalbereich;
 - b) Herstellung einer ersten Gate-Elektrode (18) auf dem Gate-Dielektrikum (16);
 - c) Abschliessen "einer Prozessierung der Halbleiterstrukturen" aus den Schritten a) und b) durch Aufbringen und Polieren einer Oxidschicht (30);
 - d) Herstellung einer Speicherschicht (36), die mit Hilfe einer leitenden Verbindung (32) an die erste Gate-Elektrode (18) angeschlossen ist;
 - e) Herstellung einer Isolatorschicht (50,54) über der Speicherschicht (36).

Der Unterschied zwischen D1 und dem Gegenstand der Ansprüche 1 und 11 besteht somit darin, dass in den Ansprüchen eine "zweite Gate-Elektrode" über der Speicherschicht vorhanden ist, wobei diesseitig davon ausgegangen wird, dass sich eine Gate-Elektrode dadurch auszeichnet, dass sie nicht leitend mit derjenigen Struktur verbunden ist, zu der sie als Gate funktionieren soll (somit wird die Elektrode

52 aus D1 nicht als solche Gate-Elektrode betrachtet).

Das objektive technische Problem, welches es zu lösen gilt, besteht somit in der Aufgabe, ein Betreiben der Speichereinrichtung bei möglichst geringen Spannungen zu ermöglichen.

D2 offenbart ein Verfahren, eine wie aus D1 bekannte Speicherzelle mit Hilfe einer "Booster-Gate"-Elektrode, die der "zweiten Gate-Elektrode" der vorliegenden Anmeldung entspricht, so zu verbessern, dass die Programmierspannungen merklich verringert werden. Dies ist für den Fachmann interessant, weil damit der Stromverbrauch verringert wird. Der Fachmann würde deshalb die Lehren von D1 und D2 kombinieren, um eine verbesserte Speichereinrichtung zu erhalten.

Der Gegenstand der unabhängigen Ansprüche 1 und 11 ist somit nicht erfinderisch gegenüber einer Kombination von D1 mit D2.

2.2 Der Vollständigkeit halber wird auf Folgendes hingewiesen.

Eine ONO-Schicht an sich (vgl. Schicht 36 in D1) ist allgemein als Speicherschicht bekannt, d.h. elektrische Ladungen können in einer ONO-Schicht gespeichert werden. Ob in einer Speicherzelle die Ladung in der Tat in der ONO-Schicht oder in einer anderen Schicht gespeichert wird, hängt von den elektrischen Spannungen ab, die während des Gebrauchs der Zelle an verschiedenen Punkten der Zelle angelegt werden oder vorhanden sind.

Die Ansprüche 1 und 11 der vorliegenden Anmeldung definieren eine Schichtstruktur und deren Herstellungsverfahren, die sich ebenso aus einer nichterfinderischen Kombination von D1 mit D2 ergeben (vgl. Punkt 2.1 oben). Aus der in den Ansprüchen beschriebenen Struktur lassen sich jedoch keine weiteren Rückschlüsse auf ihren Gebrauch machen. Die Ansprüche 1 und 11 machen es nämlich z.B. nicht klar, ob die "erste Gate-Elektrode" ein Floating-Gate (wie aus D1 bekannt) ist/sein kann oder nicht; somit gehört u.a. ein Floating-Gate zum Umfang des Schutzbegehrens.

3. Die restlichen Ansprüche enthalten keine Merkmale, die in Kombination mit den Merkmalen irgendeines Anspruchs, auf den sie sich beziehen, die Erfordernisse des Artikels 33 PCT bezüglich Neuheit und erfinderischer Tätigkeit erfüllen, siehe die Dokumente D1-D5 und die entsprechenden im Recherchenbericht angegebenen Stellen.

Ansprüche 2-3, 6, 12-13, 16 und 20: in D1 offenbart.

Ansprüche 4-5, 7, 10, 14-15, 17 und 21-22: routinemässig bekannte Merkmale.

Ansprüche 8-9 und 18-19: D3 offenbart, dass Speicherschichten vorteilhaft durch Porphyrinmoleküle ausgebildet werden, wobei auch offenbart wird, dass bei der Herstellung alle Hochtemperaturschritte vor Aufbringen der Porphyrinmoleküle ausgeführt werden müssen.

4. Die Anmeldung erfüllt nicht die Erfordernisse des Artikels 6 PCT (Klarheit).

Aus der Beschreibung auf Seite 5, Zeilen 1-19, und Seite 6, Zeilen 8-18 geht hervor, dass die folgenden Merkmale für die Definition der Erfindung wesentlich sind:

- (1) die Speicherschicht wird erst nach Abschluss der Prozessschritte, die hohe Temperaturen erfordern, aufgebracht;
- (2) die Speicherschicht besteht aus einer organischen Schicht.

Da die unabhängigen Ansprüche 1, 11 und 22 diese Merkmale nicht enthält, entsprechen sie nicht dem Erfordernis des Artikels 6 PCT in Verbindung mit Regel 6.3 b) PCT, dass jeder unabhängige Anspruch alle technischen Merkmale enthalten muß, die für die Definition der Erfindung wesentlich sind.

Es wird darauf hingewiesen, dass das Merkmal, dass die Speicherschicht räumlich getrennt vom eigentlichen Transistorbereich angebracht ist, nicht ausreicht, das obige Merkmal (1) auszudrücken.

Internationale Patentanmeldung
Nr. PCT/DE2004/001588
Infineon Technologies AG

13225

13.05.2005¹

Neue Patentansprüche

1. Verfahren zur Herstellung einer Halbleiterstrukturen aufweisenden Speichereinrichtung (2) mit Speicherzellen (1),
5 in denen digitale Information in einer Speicherschicht (10) gespeichert wird, bei dem:
 - in einem Halbleitersubstrat (17) zwei durch einen Kanalbereich (4) voneinander beabstandete Source/Drain-Bereiche (5) ausgebildet werden,
 - 10 - auf einer Substratoberfläche des Halbleitersubstrats (17) oberhalb des Kanalbereiches (4) ein Gate-Dielektrikum (6) angeordnet wird, und
 - auf dem Gate-Dielektrikum (6) eine erste Gate-Elektrode (7a) angeordnet wird,
 - 15 d a d u r c h g e k e n n z e i c h n e t , d a s s
 - vor einem Aufbringen der Speicherschicht (10) eine Prozessierung der Halbleiterstrukturen abgeschlossen wird,
 - eine leitende Verbindung (8) zwischen der Speicherschicht (10) und der ersten Gate-Elektrode (7a) angebracht wird,
 - 20 und
 - über der Speicherschicht (10) eine Isolatorschicht (18) und auf der Isolatorschicht (18) eine zweite Gate-Elektrode (7b) angeordnet werden.
- 25 2. Verfahren nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Speicherschicht (10) zwischen einer ersten und einer zweiten Elektrode (9a,b) angeordnet wird.
- 30 3. Verfahren nach Anspruch 2,
d a d u r c h g e k e n n z e i c h n e t ,
dass die erste Elektrode (9a) durch einen Abschnitt der leitenden Verbindung (8) ausgebildet wird.
- 35 4. Verfahren nach Anspruch 2 oder 3,
d a d u r c h g e k e n n z e i c h n e t ,

Internationale Patentanmeldung
Nr. PCT/DE2004/001588
Infineon Technologies AG

13225

2
13.05.2005

dass für die erste und die zweite Elektrode (9a,b) eines der Metalle Aluminium, Wolfram oder Kupfer angebracht wird.

5. Verfahren nach Anspruch 2 oder 3,

5 d a d u r c h g e k e n n z e i c h n e t ,
dass für die erste und die zweite Elektrode (9a,b) eines der Edelmetalle Pt, Au oder Ag angebracht wird.

6. Verfahren nach einem der Ansprüche 2 bis 5,

10 d a d u r c h g e k e n n z e i c h n e t , d a s s
- die erste Elektrode (9a) in einer ersten Metallebene (11a)
und die zweite Elektrode (9b) in einer zweiten Metallebene
(11b) ausgebildet werden und
- die leitende Verbindung (8) zwischen der ersten Gate-
15 Elektrode (7a) und der ersten Elektrode (9a) durch ein mit
leitendem Material gefülltes Kontaktloch (14) hergestellt
wird.

7. Verfahren nach einem der Ansprüche 2 bis 5,

20 d a d u r c h g e k e n n z e i c h n e t , d a s s
- jeweils die erste und die zweite Elektrode (9a,b) in
jeweils einer im weiteren Prozessverlauf prozessierten
Metallebene (11) ausgebildet werden und
- die leitende Verbindung (8) zwischen der ersten Elektrode
25 (9a) und der ersten Gate-Elektrode (7a) durch übereinander
angeordnete mit leitendem Material gefüllte Kontaktlöcher
(14) hergestellt wird.

8. Verfahren nach einem der Ansprüche 1 bis 7,

30 d a d u r c h g e k e n n z e i c h n e t ,
dass als Speicherschicht (10) eine organische Schicht
angebracht wird.

9. Verfahren nach Anspruch 8,

35 d a d u r c h g e k e n n z e i c h n e t ,
dass die organische Schicht mit Porphyrinmolekülen angebracht
wird.

Internationale Patentanmeldung
Nr. PCT/DE2004/001588
Infineon Technologies AG

13225

13.05.2005³

10. Verfahren nach einem der Ansprüche 1 bis 9,
d a d u r c h g e k e n n z e i c h n e t , d a s s
- zur Herstellung von Source- und Drainleitungen, die
Source/Drain-Bereiche (5) von zeilenweise angeordneten, in
5 einer Zeile jeweils benachbarten Speicherzellen (1) durch im
Halbleitersubstrat (17) vorgesehene, dotierte Bereiche (16)
elektrisch leitend miteinander verbunden werden und
- nach mehreren durch dotierte Bereiche (16) im
Halbleitersubstrat (17) elektrisch leitend miteinander
10 verbundenen Source/Drain-Bereichen (5) leitende Verbindungen
(8) mit in einer Metallebene (11) ausgebildeten und die
Source/Drain-Bereiche (5) von Speicherzellen (1) verbindenden
Leiterbahnen (13) angeordnet werden.
- 15 11. Speicherzelle (1) mit einer eine digitale Information
speichernden Speicherschicht (10), mit zwei in einem
Halbleitersubstrat (17) ausgebildeten durch einen
Kanalbereich (4) voneinander beabstandeten Source/Drain-
Bereichen (5) und einem auf einer Substratoberfläche des
20 Halbleitersubstrats (17) oberhalb des Kanalbereiches (4)
angeordneten Gate-Dielektrikum (6), wobei:
- auf dem Gate-Dielektrikum (6) eine erste Gate-Elektrode
(7a) angeordnet ist,
d a d u r c h g e k e n n z e i c h n e t , d a s s
25 - die Speicherschicht (10) auf der ersten Gate-Elektrode
(7a) oder zur ersten Gate-Elektrode (7a) beabstandet
angeordnet ist,
- eine leitende Verbindung (8) zwischen der Speicherschicht
(10) und der ersten Gate-Elektrode (7a) angebracht ist,
30 und
- über der Speicherschicht (10) eine Isolatorschicht (18)
und auf der Isolatorschicht (18) eine zweite Gate-
Elektrode (7b) angeordnet sind.
- 35 12. Speicherzelle nach Anspruch 11,
d a d u r c h g e k e n n z e i c h n e t ,

dass die Speicherschicht (10) zwischen einer ersten und einer zweiten Elektrode (9a,b) angeordnet ist.

13. Speicherzelle nach Anspruch 12,
5 d a d u r c h g e k e n n z e i c h n e t ,
dass die erste Elektrode (9a) durch einen Abschnitt der leitenden Verbindung (8) ausgebildet ist.
14. Speicherzelle nach Anspruch 12 oder 13,
10 d a d u r c h g e k e n n z e i c h n e t ,
dass die erste und die zweite Elektrode (9a,b) aus einem der Metalle Aluminium, Wolfram oder Kupfer bestehen.
15. Speicherzelle nach Anspruch 12 oder 13,
15 d a d u r c h g e k e n n z e i c h n e t ,
dass die erste und die zweite Elektrode (9a,b) aus einem der Edelmetalle Pt, Au oder Ag bestehen.
16. Speicherzelle nach einem der Ansprüche 12 bis 15,
20 d a d u r c h g e k e n n z e i c h n e t , d a s s
- die erste Elektrode (9a) in einer ersten Metallebene (11a) und die zweite Elektrode (9b) in einer zweiten Metallebene (11b) ausgebildet sind und
- die leitende Verbindung (8) zwischen der ersten Gate-
25 Elektrode (7a) und der ersten Elektrode (9a) durch ein mit leitendem Material gefülltes Kontaktloch (14) angeordnet ist.
17. Speicherzelle nach einem der Ansprüche 12 bis 15,
30 d a d u r c h g e k e n n z e i c h n e t , d a s s
- die erste und die zweite Elektrode (9a,b) in jeweils einer von der ersten Gate-Elektrode (7a) weiter als eine erste oder eine zweite Metallebene (11a,b) beabstandeten Metallebene (11) ausgebildet sind und
35 - die leitende Verbindung (8) von der ersten Elektrode (9a) zu der ersten Gate-Elektrode (7a) durch in Isolationsschichten (12) eingebrachte, übereinander

Internationale Patentanmeldung
Nr. PCT/DE2004/001588
Infineon Technologies AG

13225

13.05.2005⁵

angeordnete und mit leitendem Material gefüllte
Kontaktlöcher (14) ausgebildet ist.

18. Speicherzelle nach einem der Ansprüche 11 bis 17,
5 d a d u r c h g e k e n n z e i c h n e t ,
dass die Speicherschicht (10) als eine organische Schicht
ausgebildet ist.

19. Speicherzelle nach Anspruch 18,
10 d a d u r c h g e k e n n z e i c h n e t ,
dass die organische Speicherschicht (10) Porphyrinmoleküle
enthält.

20. Speichereinrichtung mit zeilenweise angeordneten,
15 Halbleiterstrukturen aufweisenden und eine digitale
Information speichernden Speicherzellen,
g e k e n n z e i c h n e t d u r c h
Speicherzellen (1) nach einem der Ansprüche 11 bis 19.

20 21. Speichereinrichtung nach Anspruch 20,
d a d u r c h g e k e n n z e i c h n e t , d a s s
- zur Bereitstellung von Source- und Drainleitungen
Source/Drain-Bereiche (5) von in einer Zeile jeweils
benachbarten Speicherzellen (1) durch im
25 Halbleitersubstrat (17) vorgesehene, dotierte Bereiche
(16) elektrisch leitend miteinander verbunden sind und
- nach mehreren durch die dotierten Bereiche (16) im
Halbleitersubstrat (17) elektrisch leitend miteinander
verbundenen Source/Drain-Bereichen (5) leitende
30 Verbindungen (8) zu in einer Metallebene (11)
ausgebildeten und die Source/Drain-Bereiche (5) von
Speicherzellen (1) verbindenden Leiterbahnen (13)
angeordnet sind.

35 22. Verfahren zum Betrieb der Speichereinrichtung (2) nach
Anspruch 20 oder 21, bei dem:

Internationale Patentanmeldung
Nr. PCT/DE2004/001588
Infineon Technologies AG

13225

13.05.2005⁶

-
- zum Programmieren der Speichereinrichtung (2) die jeweiligen Speicherschichten (10) von ausgewählten Speicherzellen (1) durch Anlegen von Spannungen an die Source/Drain-Bereiche (5) und die zweite Gate-Elektrode (7b) mittels eines Tunnelvorganges von Elektronen durch das Gate-Dielektrikum (6) hindurch aufgeladen werden,
 - zum Löschen der Programmierung die aufgeladenen Speicherschichten (10) durch Anlegen einer sich von der beim Programmieren angelegten Spannung unterscheidenden Lösch-Spannung an die zweite Gate-Elektrode (7b) mittels eines Tunnelvorganges von Elektronen zum Kanalbereich (4) oder zum Source/Drain-Bereich (5) entladen werden und
 - zum Lesen der programmierten Speichereinrichtung (2) eine Stärke eines Drain-Stromes in Abhängigkeit von einem Ladungszustand der Speicherschicht (10) detektiert wird.